

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
H03K 5/13

(45) 공고일자 2000년 11월 01일

(11) 등록번호 10-0268050

(24) 등록일자 2000년 07월 10일

(21) 출원번호 10-1997-0065235

(65) 공개번호 특1999-0047027

(22) 출원일자 1997년 12월 02일

(43) 공개일자 1999년 07월 05일

(73) 특허권자

김범섭

대한민국

305333

대전광역시 유성구 어은동 한빛아파트 107동 801호

(72) 발명자

김범섭

대한민국

305333

대전광역시 유성구 어은동 한빛아파트 107동 801호

(74) 대리인

박길남

(77) 심사청구

심사관: 고준호

(54) 출원명

딜레이 셀 및 이를 이용한 가변주파수 링 발진회로

요약

본 발명은 전원 잡음특성이 우수하고 저전압 동작 특성을 갖는 완전 차동구조의 딜레이 셀 및 이러한 딜레이 셀을 이용한 가변주파수 발진회로에 관한 것이다.

본 발명의 특징은 제1,2 게이트 입력(Vin+, Vin-)과 제1,2 드레인 출력(Vout-, Vout+)을 각각 가지는 제1,2 NMOS 트랜지스터(M1, M2)와, 상기 제1,2 NMOS 트랜지스터(M1, M2)의 각 출력에 대해 교차접속되어 차동 래치 구조를 형성하는 제1,2 PMOS 트랜지스터(M3, M4)와, 상기 1,2 PMOS 트랜지스터(M3, M4)의 최대 게이트 전압을 조절하는 것을 통하여 입력에 대한 출력의 지연시간을 조절하는 기능의 제3,4 NMOS 트랜지스터(M5, M6)로 구성되는 완전 차동 구조의 딜레이 셀과, 이러한 딜레이 셀들을 결합시켜 스쿼드 신호패스를 형성하는 것으로 발진회로를 구성할 때, 각 셀의 트랜지스터(M5, M6)의 입력 제어전압(Vcont)을 변화시켜 스쿼드 딜레이 회로의 딜레이를 변화시킴으로써 출력 발진주파수를 변화시킬 수 있도록 한 가변주파수 발진회로에 있다.

대표도

도 3

명세서

도면의 간단한 설명

제1도는 본 발명에 따른 딜레이 셀의 회로 구성도이다.

제2도는 본 발명에 따른 딜레이 셀의 동작과정을 나타내는 회로 구성도이다.

제3도는 본 발명에 따른 딜레이 셀을 이용한 가변주파수 링 발진회로의 구성도이다.

* 도면의 주요부분에 대한 부호의 설명

M1-M6 : MOS 트랜지스터 Vcont : 제어전압

Vin : 입력신호 Vout : 출력신호

DS : 딜레이 셀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전원 잡음특성이 우수하고 저전압 동작 특성을 갖는 완전 차동구조의 딜레이 셀 및 이러한 딜레이 셀을 이용한 가변주파수 링 발진회로에 관한 것이다.

일반적으로 링 발진회로는 딜레이 셀 체인을 이용하여 구성하게 되는데, 그 동작 주파수는 1/딜레이 타임으로 결정된다.

발진회로의 동작주파수는 딜레이 타임 및 그 단의 수에 의해 제한되게 됨을 알 수 있다. 따라서 딜레이 셀의 딜레이 타임이 더 이상 작아지지 않으면 동작 주파수를 증가시킬 수 없기 때문에 높은 주파수의 출력을 얻기 위해서는 딜레이 타임이 적은 딜레이 셀의 개발이 요구된다.

그러나 가장 간단한 딜레이구조인 인버터에 비하여도 그 디바이스의 제조공정상 딜레이 타임 생성을 피할수 없다.

이에 따라 발진회로용 셀의 제조공정상의 한계를 극복하면서 링 발진기의 주파수를 향상시킨 발진된 발진회로의 구조인 스쿼드 딜레이 링 발진기(skewed delay ring oscillator)가 제안된 바 있다.

이 스쿼드 딜레이 링 발진기는 인버터의 속도를 결정하는 PMOS의 게이트단에 바로 앞단의 출력이 아닌 그 이전 단의 출력이 인가되게 연결함으로써 같은 단수에서 기존의 방식에 비해 큰 속도가 빠른효과를 얻어지게된다.

그러나 이러한 스쿼드 딜레이 링 발진기는 구성상 싱글 엔디드 구조를 가지기 때문에 전원잡음에 대해 취약한 특성이 있게 되며, 또한 발진 주파수를 변화시키지 못하는 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 전원 잡음특성이 우수하고 저전압 동작 특성을 갖는 완전 차동구조의 가변 딜레이 셀과 이러한 딜레이 셀을 이용하여 제작될 수 있는 주파수 가변이 가능한 링 발진회로를 제공하는데 있다.

본 발명의 특징은 제1,2 게이트 입력과 제1,2 드레인 출력을 각각 가지는 제1,2 NMOS(제1도전형) 트랜지스터와, 상기 제1,2 NMOS 트랜지스터의 각 출력에 대해 교차접속되어 차동 래치 구조를 형성하는 제1,2 PMOS(제2도전형) 트랜지스터와, 상기 제1,2 PMOS 트랜지스터의 최대 게이트 전압을 조절하는 것을 입력에 대한 출력의 지연시간을 조절하기 위해 크로스 패스 형태로 설치되며 게이트측에 제어전압이 공통으로 인가되는 제3,4 NMOS(제1도전형) 트랜지스터로 구성되는 완전 차동 딜레이 셀과, 이러한 셀을 이용하여 구성되는 고속동작의 주파수 가변 발진회로에 있다

발명의 구성 및 작용

첨부한 도면을 참고로하여 본 발명을 설명하면 다음과 같다.

도 1은 본 발명의 딜레이 셀의 회로구성도이다. 여기에서 참조되는 바와 같이, 제1,2 NMOS 발진 출력 트랜지스터(M1,M2)의 각 게이트 측에는 제1,2 입력신호(Vin+, Vin-)가 각각 인가되게 구성하고, 상기 제1,2 NMOS 발진 출력 트랜지스터(M1,M2)의 드레인 측에서는 제1,2 출력신호(Vout-, Vout+)발생되게 구성한다.

상기 제1,2 NMOS 발진 출력 트랜지스터(M1,M2)의 각 출력에 대해 교차접속하여 차동 래치 구조를 형성하도록 제1,2 PMOS 트랜지스터(M3,M4)를 구성한다. 상기 제1,2 PMOS 트랜지스터(M3,M4)의 최대 게이트 전압을 조절하는 것을 통하여 입력에 대한 출력의 지연시간을 조절하기 위해 제3,4 NMOS 트랜지스터(M5,M6)를 크로스 패스 형태로 설치한다. 상기 제3,4 NMOS 트랜지스터(M5,M6)의 게이트 측에는 상기 제1,2 PMOS 트랜지스터(M3,M4)의 게이트 전압을 조절하기 위한 제어전압이(Vcont)이 공통으로 인가되게 구성한다.

상기 제어전압(Vcont)의 변화는 제3,4 NMOS 트랜지스터(M5,M6)의 저항 값을 가변시켜 제1,2 PMOS 트랜지스터(M3,M4)게이팅 시간을 조절하게 된다. 상기 PMOS 트랜지스터(M3,M4)에는 도 3에서 보여지는 바와 같이, 스쿼드 딜레이 신호를 입력하기 위한 제3,4 PMOS 트랜지스터(M7, M8)를 추가로 설치할 수 있다.

이러한 구성의 딜레이 셀의 동작과정을 살펴보면, 도 2에서 보이고 있는 것처럼, 제2출력신호(Vout+)가 0V에서 Vdd로 천이를 할 때, 제4 NMOS 트랜지스터(M6)는 제2출력신호(Vout+)가 Vcont-Vth가 되는 시점까지만 턴온되어 있기 때문에 제1PMOS 트랜지스터(M3)의 게이트는 Vcont-Vth로 충전된다.

이렇게 충전된 전하는 제2출력신호(Vout+)가 Vdd에서 0V로 떨어질 때, 다시 제4 NMOS 트랜지스터(M6)를 통해 방전되는데 PMOS 트랜지스터(M3)의 게이트 전압이 높을수록 방전되는 시간이 길어지게 되기 때문에 게이트측 제어전압(Vcont)이 높을수록 딜레이 셀의 딜레이는 커지게 된다.

이때 PMOS트랜지스터의 게이트에 충전된 전하가 방전되는 속도는 NMOS트랜지스터의 게이트측 제어전압(Vcont)에 대해 비례관계를 가지고 있기 때문에 딜레이 타임대 제어전압 사이의 관계가 우수한 선형 특성을 가지게 된다.

즉, 제3,4 NMOS 트랜지스터(M5,M6)의 기능은 주파수 가변용으로써 이들 NMOS 트랜지스터의 게이트 제어전압에 따른 저항값 변화는 제1,2 PMOS 트랜지스터(M3,M4)의 각 게이트 전압변화를 가져오게 되고, 이에 따라 딜레이 타임이 변화하여 결국 링 발진회로의 출력 주파수를 가변시킬 수 있게 되는 것이다.

또한 딜레이 셀은 기본적으로 단순한 인버터를 차동구조로 구현한 것이기 때문에 구조의 간략화와 고속의 출력신호의 스윙이 0V에서 Vdd 까지 풀 스윙하게 되므로, 레벨 시프터와 같이 신호변환을 위한 별도의 보조 수단없이 바로 디지털 회로의 입력으로 이용할 수 있다.

도 3은 상기한 딜레이 셀을 이용한 링 발진회로의 구성을 보이고 있다.

여기에서 참고되는 바와 같이, 링 발진회로는 두가지 종류의 신호 패스를 가지고 있는데, 그 하나는 바로 전단의 출력신호를 다음단의 입력이 되도록 연결하고 최종적으로 종단의 출력을 바꾸어서 입력하는 노멀 딜레이 패스이고, 다른 하나는두단 앞의 출력신호를 현재단의 PMOS 트랜지스터의 부하에 연결하는 스쿼드 딜레이 패스이다.

구체적으로 살펴보면, 다수의 완전 차동 딜레이 셀을 이용한 주파수 가변 특성의 링 발진회로는 초단 딜레이 셀의 제1,2입력(Vin+, Vin-)으로써 종단 딜레이 셀의 제1,2출력(Vout-, Vout+)을 서로 엇갈려 입력되게 하고 나머지는 전단의 출력이바로 다음단의 입력이 되게 하는 노멀 신호패스를 형성하고, 각 딜레이 셀의 제1,2 입력을 제외한 다른입력(Vin'+, Vin'-)측으로는 자신의 전전단의 각 출력이 입력되게 하는 스쿼드 신호패스를 형성하여 차동 입력 트랜지스터에 인가되는 신호의 크기를 변형함으로써 셀의 딜레이 변경에 따른 주파수 변경 및 고속의 발진 출력이 얻어지게 하고 있다.

즉, 발진회로를 구성할 때, 각 셀의 트랜지스터(M5,M6)의 게이트 측에 입력되는 제어전압(Vcont)의 크기를 변화시켜 스쿼드 딜레이 회로의 딜레이를 변화시켜 줌으로써 출력 발진주파수를 변경시킬 수 있도록 하고 있고, 또한 상기 스쿼드 딜레이패스에 의해서는 상대적으로 NMOS 트랜지스터보다 속도가 느린 PMOS 트랜지스터에 NMOS 트랜지스터의 입력신호보다 조금 빠른 신호로 PMOS트랜지스터에 전달되게 함으로써, PMOS 트랜지스터의 스위칭 시간을 줄일 수 있게 하여 전체적인 동작속도를 높일 수 있도록 하고 있다.

한편 상기의 스큐드 딜레이 패스와 병행하여 노멀 딜레이 패스를 설치하고 있는 이유는 상대적으로 저속인 노멀 딜레이 패스와 고속인 스큐드 딜레이 패스를 이용하여 발진회로의 동작 주파수 범위를 넓히고 적절한 전압제어 발진 이득을 유지할 수 있도록 하기 위해서이다.

이러한 이중 패스를 갖는 주파수 가변 링 발진회로는 앞서 기술한 딜레이 셀의 PMOS 트랜지스터 부하로써, 도 3의 확대부분과 같이 제1,2 PMOS 트랜지스터 (M3,M4)에 각각 차동입력을 위한 제3,4 PMOS 트랜지스터 (M7,M8)를 대응 결합시키고 이들중 하나는 스큐드신호를 받도록 하고 다른 하나는 앞단의 노멀 신호를 받도록 하는 것을 통하여 구현한다.

또한 상기 제1,2 PMOS 트랜지스터 (M3,M4)에 각각 제3,4 PMOS 트랜지스터 (M7,M8)를 대응 결합시키는 것 외에 제5,6 PMOS 트랜지스터, 제7,8 PMOS 트랜지스터와 같이 다수의 입력회로 추가 설치하여 멀티 차동입력 형태로 구성할 수도 있다

발명의 효과

이상에서 설명한 바와 같이, 본 발명의 완전 차동 딜레이 셀은 구조의 간략화를 통해 속도 향상이 이루어짐과 아울러 주파수 가변이 확실하게 되며, 출력신호의 폴 스윙을 얻을 수 있어 레벨 시프터와 같은 별도의 신호처리장치 없이 그대로 디지털 회로에 이용할 수 있는 특유의 효과를 갖는다.

또한 이러한 딜레이 셀을 이용하여 링 발진회로를 구성하게 되는 경우 고속의 발진출력을 얻을 수 있게 되며 향상된 전원잡음 특성과 양호한 가변 동작 주파수 특성을 얻을 수 있다

(57) 청구의 범위

청구항 1.

발진회로용 딜레이 셀에 있어서: 제1,2 게이트 입력(V_{in+} , V_{in-})과 제2,2 드레인 출력(V_{out-} , V_{out+})을 각각 가지는 제1도전형 제1,2 트랜지스터 (M1,M2)와; 상기 제2,1 드레인 출력(V_{out+} , V_{out-})에 대해 서로의 게이트가 동작적으로 교차접속되어 차동래치 구조를 형성하는 제2도전형 제1,2 트랜지스터 (M3,M4)와; 입력에 대한 출력의 지연시간을 조절하기 위해 상기 제2도전형 제2,1 트랜지스터 (M4,M3)의 게이트에 서로의 드레인이 교차접속되고, 각각의 소오스가 상기 제1,2 드레인 출력(V_{out-} , V_{out+})에 각기 연결되며, 각각의 게이트로 공통 인가되는 제어전압(V_{out})의 크기에 따라 저항값이 달라지는 제1도전형 제3,4 트랜지스터 (M5,M6)를 포함하는 것을 특징으로 하는 주파수가변 발진회로용 딜레이 셀.

청구항 2.

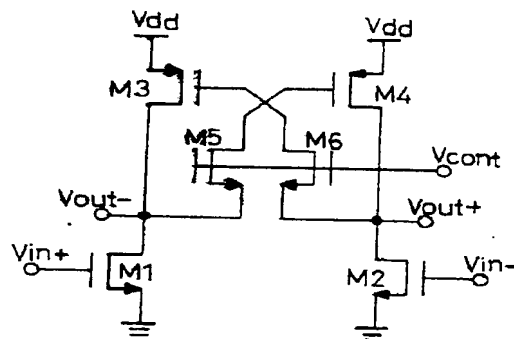
제1항에 있어서, 상기 제2도전형 제1,2 트랜지스터 (M3,M4)에 대응시켜 각각 스큐드 딜레이 신호를 입력하기 위한 제2도전형 제3,4 트랜지스터 (M7,M8) 또는 그 이상의 트랜지스터를 추가로 더 설치하는 것에 의해, 2입력 또는 그 이상의 멀티스큐드 입력 차동회로를 구성한 것을 특징으로 하는 주파수가변 발진회로용 딜레이셀.

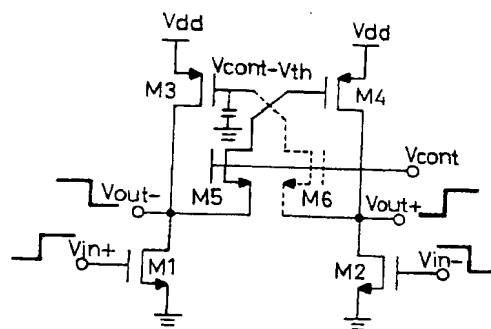
청구항 3.

딜레이 셀을 이용하여 구성한 가변주파수 발진회로에 있어서: 상기 딜레이 셀을; 차동래치구조를 이루도록 연결된 제1도전형 제1,2트랜지스터 (M1,M2) 및 제2도전형 제1,2트랜지스터 (M3,M4)와, 상기 제2도전형 제2,1트랜지스터 (M4,M3)의 게이트에 서로의 드레인이 교차접속되고 각각의 소오스가 상기 제1도전형 제1,2 트랜지스터 (M1,M2)의 제1,2드레인 출력(V_{out-} , V_{out+})에 각기 연결되며 각각의 게이트가 제어전압(V_{out})에 공통 접속된 제1도전형 제3,4트랜지스터 (M5,M6)와, 상기 제2도전형 제1,2트랜지스터 (M3,M4)에 병렬로 각기 연결되고 각각의 게이트로 스큐드 입력인 제1,2 입력(V_{in+} , V_{in-})을 각기 수신하는 제2도전형 제3,4트랜지스터 (M7,M8)로 구성하고, 상기 딜레이 셀을 복수개로 설치하되; 초단에 위치한 상기 딜레이 셀의 제1,2 입력(V_{in+} , V_{in-})만이 종단에 위치한 딜레이셀의 제2,1출력(V_{out-} , V_{out+})에 서로 엇갈리게 연결되도록 하고, 나머지 딜레이 셀들의 각 입력은 바로 전단에 위치한 딜레이 셀의 제1,2출력(V_{out-} , V_{out+})에 서로 엇갈리게 연결되도록 하고, 나머지 딜레이 셀들의 각 스큐드 딜레이 입력(V_{in-} , V_{in+})은 자신의 전전단에 위치한 딜레이 셀의 제2,1출력(V_{out-} , V_{out+})에 서로 엇갈리게 연결되도록 하고, 나머지 딜레이 셀들의 각 스큐드 딜레이 입력(V_{in-} , V_{in+})은 자신의 전전단에 위치한 딜레이 셀의 출력에 각기 연결되게 한 구성을 가지는 스큐드 신호패스 구조를 가짐을 특징으로 하는 가변주파수 발진회로.

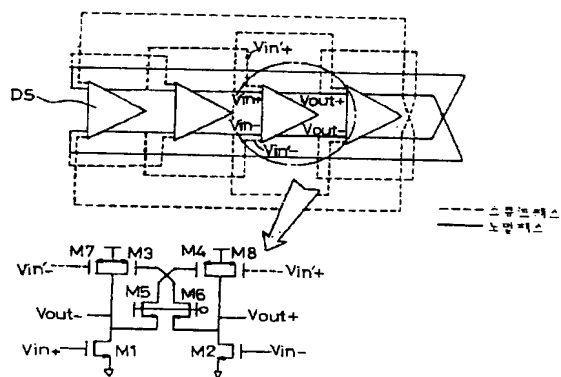
도면

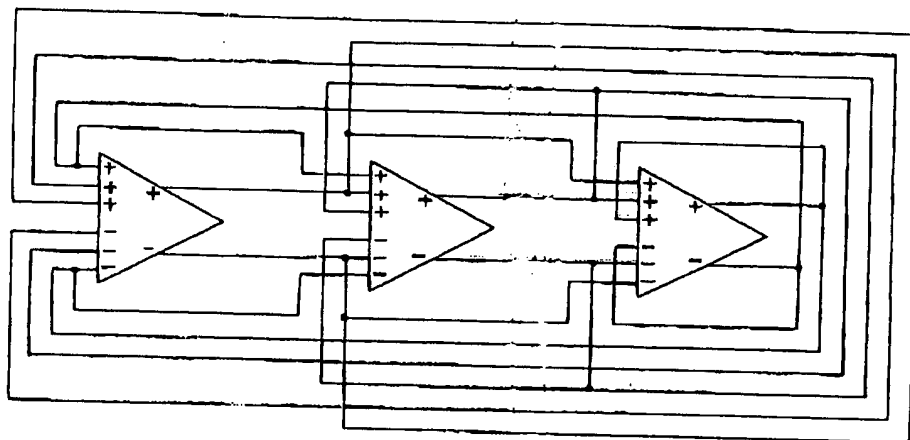
도면 1





도면 3





도면 12

